

English Translation of JP61-48893

(19) Japanese Patent Office (JP)

(12) Patent Laid-Open Official Gazette (A)

5 (11) Publication Number : Sho 61-48893

(43) Date of Publication of Application : March 10, 1986

(51) Int.Cl.⁴

G 09 G 3/36

G 02 F 1/133

10 G 09 F 9/30

H 01 L 27/12

29/78

Request for Examination : not made

Number of Invention : 1 (5 pages in total)

15 (54) Title of the Invention : DRIVER BUILT-IN ACTIVE MATRIX PANEL

(21) Application Number : Sho 59-170917

(22) Date of filing : August 16, 1984

(72) Inventor : Toshiyuki MISAWA

c/o SUWA SEIKOSHA Co., Ltd.

20 3-3-5, Yamato, Suwa-shi

(71) Applicant : SUWA SEIKOSHA Co., Ltd.

2-4-1, Nishi Shinjyuku, Shinjyuku-ku, Tokyo

(74) Representative : Patent Attorney:

Tsutomu MOGAMI

25

Specification

1. Title of the Invention

DRIVER BUILT-IN ACTIVE MATRIX PANEL

30

2. Scope of Claim

A driver built-in active matrix panel comprising a pixel portion constituted by a thin film transistor arranged in matrix, and a driver portion constituted by a thin film transistor,

35

characterized by having a data line driver including a means for generating N

sampling pulses that are set and reset by an output signal of a shift register having a smaller number of stages than the number of the data lines N and a plurality of external clock signals having different phases.

5 **3. Detailed Description of the Invention**
 (Industrial field of the Invention)

The invention relates to a driver built-in active matrix panel constituted by thin film transistors (hereinafter abbreviated as TFTs).

10 **(Prior Art)**

A prototype active matrix panel including switching TFTs that are arranged in matrix over a transparent substrate and formed by using a thin film layer of polycrystalline silicon or amorphous silicon has been widely successful, and liquid crystal televisions using the active matrix panel have been produced in large quantities and commercialized. There is also an attempt to form a scan line or data line driver over the same transparent substrate as the switching TFTs arranged in matrix, which has already been achieved and disclosed (Y. Oana SID84DIGEST, p.312, S. Morozumi, et al SID84DIGEST, p.316).

FIG 1 shows a structure of a conventional driver, in particular a data line driver included in an active matrix panel. Data lines 111, 112, ... are connected to analog switches 106, 107, ... respectively, and the analog switches are turned on/off by an output signal of shift registers 101, 102, ... respectively. In FIG 1, reference numeral 121 denotes a video signal line and 122 denotes a scan line. According to such a structure of the data line driver, the shift registers have to operate at the same frequency as the sampling frequency of a video signal, and high speed operation is thus required. In general, however, the on resistance of a TFT is high, therefore, the TFT cannot operate at as high a speed as a single crystal silicon MOSFET. Accordingly, the conventional driver built-in active matrix panel has a limit to the sampling frequency of a video signal because of the TFT characteristics, leading to limited high definition.

30

(Purpose of the Invention)

It is an object of the invention to solve the aforementioned problems of the prior art and to achieve a driver built-in active matrix panel capable of sampling a video signal at a high frequency and displaying high quality images.

35

(Constitution of the Invention)

According to the invention, an active matrix panel having N data lines is driven by an output signal of an N/K-stage shift register included in the active matrix panel and at least K external clock signals.

5

(Embodiment)

The invention is hereinafter described in detail by way of Embodiment.

FIG. 2 is a block diagram showing the general idea of the invention. In FIG. 2, a data line driver is constituted by shift registers 201 to 203, sampling pulse generator circuits 204 to 206, clock signal lines for resetting 207 to 209, a video signal line 210, and analog switches for sampling and holding 211 to 219. On the other hand, a scan line driver is constituted by shift registers 229 to 231. Reference numerals 220 to 228 denote data lines, 232 to 234 denote scan lines, and 235, 236, 237 and the like denote pixels. Shown in FIG. 2 is an example in which N data lines are driven by N/3-stage shift register and sampling pulse generator circuit.

FIG. 3 shows a specific embodiment of the invention. Shown in this embodiment is also an example in which N data lines are driven by an N/3-stage shift register. In FIG. 3, reference numeral 301 denotes a shift register, an output terminal of which is connected to the gates of P-type TFTs 302, 303 and 304, and the gates of N-type TFTs 305, 307 and 309. Clock signal lines for resetting 314, 315 and 316 are connected to the gates of N-type TFTs 306, 308 and 310 respectively. The TFTs 302 to 310 constitute a sampling pulse generator circuit, output terminals 317, 318 and 319 of which are connected to control terminals of analog switches for sampling and holding 311, 312 and 313 respectively. Reference numerals 320 and 321 denote a positive power source and a negative power source of the sampling pulse generator circuit respectively, and 322 denotes a video signal line. FIG. 4 shows an operation of the embodiment shown in FIG. 3. FIG. 4 is a timing chart in which reference numeral 401 denotes a transfer clock of the shift register 301, 405 denotes transfer data of the shift register 301, 402, 403 and 404 denote clock signals for resetting transferred from 314, 315 and 316 of FIG. 3 respectively, and 406, 407 and 408 denote sampling pulses outputted to the terminals 317, 318 and 319 in FIG. 3 respectively. First, in a falling edge 409 of the shift register output, the P-type TFTs 302 to 304 are turned on whereas the N-type TFTs 305, 307 and 309 are turned off. According to this, the sampling pulses 406, 407 and 408 are set to a high level. Next, in a falling edge 410 of the shift register output, the TFTs 302, 303 and 304 are turned off whereas the TFTs 305, 307

and 309 are turned on. Then, the TFTs 306, 308 and 310 are turned on in rising edges of the clock signals for resetting 402, 403 and 404 respectively, and thereby the sampling pulses 406, 407 and 408 are sequentially set to a low level at timings 410, 411 and 412 respectively. When the analog switches 311, 312 and 313 are constituted so as to be turned on when the sampling pulse is high and turned off when the sampling pulse is low, a video signal can be sampled and held at the timings 410, 411, 412, 413, 414, As set forth above, according to the invention, N data lines can be driven by an N/K-stage shift register. It is to be noted that K is the number of outputs of one sampling pulse generator circuit.

In the aforementioned embodiment, as shown in FIG. 4, the sampling pulses 406, 407 and 408 have different pulse widths T. In the case of the on resistance of the analog switch constituted by TFTs being not sufficiently low, the active matrix panel may have display variations due to differences in pulse widths of the sampling pulses.

FIG. 5 shows an embodiment in which all sampling pulses have the same pulse width. This embodiment has a structure in which P-type transistors 501, 502 and 503 are added to the sampling pulse generator circuit shown in FIG. 3. Portions that are identical to those in FIG. 3 are denoted by the same reference numerals in FIG. 5. FIG. 6 shows an operation of the embodiment shown in FIG. 5. In FIG. 6, reference numerals 401 to 405 denote the same portions as 401 to 405 in FIG. 4. Reference numerals 601, 602 and 603 denote timings of the sampling pulses outputted to the terminals 317, 318 and 319 in FIG. 5 respectively. During a period in which a low signal is outputted to an output terminal 323 of the shift register 301 in FIG. 5, the clock signals 404, 402 and 403 applied to the gates of the P-type TFTs 501, 502 and 503 are sequentially set to low level at timings 604, 605 and 606 in FIG. 6. According to this, the sampling pulses 601, 602 and 603 are set to a high level. Subsequently, after the output terminal 323 of the shift register 301 changes from a low level to a high level, the clock signals 402, 403 and 404 applied to the gates of the N-type TFTs 306, 308 and 310 are sequentially set to a low level at timings 607, 608 and 609 in FIG. 6. According to this, the sampling pulses 601, 602 and 603 are reset to a low level. The same operation is performed in all bits of the shift register, and thereby video signals can be sampled and held by the sampling pulses having the same pulse width T.

(Effect of the Invention)

As described in Prior Art, a TFT formed of polycrystalline silicon, amorphous silicon or the like is inferior in characteristics to a single crystal silicon FET, and in

particular, it has a high on resistance. Therefore, a shift register included in a thin film active matrix panel has a limit to the operating speed. The invention provides a means for driving N data lines by using an N/K-stage shift register and K sampling pulse generator circuits provided for each stage of the shift register. Accordingly, operating speed required for the shift register can be lowered to 1/K of the conventional one.

Furthermore, according to the invention, the number of stages of the shift register can be reduced to 1/K of the conventional one, and the sampling pulse generator circuit including three or four TFTs in each stage is used instead as shown in FIG. 3 and FIG. 5. Thus, the number of TFTs constituting the driver is reduced as a whole, resulting in a smaller area occupied by the driver, an improved yield, and a lower power consumption.

According to the invention, the driver built-in active matrix panel is drastically improved as set forth above.

4. Brief Description of the Drawings

FIG. 1 shows a prior art.

FIG. 2 is a block diagram showing an embodiment of the invention.

FIG. 3 shows an embodiment of the invention.

FIG. 4 shows an operation of FIG. 3.

FIG. 5 shows another embodiment of the invention.

FIG. 6 shows an operation of FIG. 5.

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

004600625

WPI Acc No: 1986-103969/198616

**Driver built-in active matrix panel - has data wire driver with sampling
pulses generator NoAbstract Dwg 3/6**

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 61048893	A	19860310				198616 B

Priority Applications (No Type Date): JP 84170917 A 19840816

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 61048893	A	7		

Title Terms: DRIVE; BUILD; ACTIVE; MATRIX; PANEL; DATA; WIRE; DRIVE;
SAMPLE

; PULSE; GENERATOR; NOABSTRACT

Derwent Class: P81; P85; T04; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;

G09G-003/36; H01L-027/12; H01L-029/78

File Segment: EPI; EngPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-48893

⑪ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和61年(1986)3月10日
G 09 G 3/36		7436-5C	
G 02 F 1/133	1 2 9	7348-2H	
G 09 F 9/30		6615-5C	
H 01 L 27/12		7514-5F	
29/78		8422-5F	審査請求 未請求 発明の数 1 (全 5 頁)

⑭ 発明の名称 ドライバー内蔵アクティブマトリクスパネル

⑮ 特 願 昭59-170917

⑯ 出 願 昭59(1984)8月16日

⑰ 発 明 者 三 澤 利 之 誠訪市大和3丁目3番5号 株式会社諏訪精工舎内
 ⑱ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号
 ⑲ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称

ドライバー内蔵アクティブマトリクスパネル

2. 特許請求の範囲

マトリクス状に配置された薄膜トランジスタによって構成された画素部及び薄膜トランジスタによって形成されたドライバー部を具備して成るドライバー内蔵アクティブマトリクスパネルにおいて、データ線の本数より少ない段数のシフトレジスタの出力信号及び位相の異なる段数の外部クロック信号によってセット及びリセットされた、データ線と本分のサンプリングパルスを生ずる手段を有したデータ線ドライバーを具備して成ることを特徴とするドライバー内蔵アクティブマトリクスパネル。

3. 発明の詳しい説明

〔技術分野〕

本発明は、薄膜トランジスタ(以下、TFTと略記する。)によって形成されたドライバー内蔵アクティブマトリクスパネルに関する。

〔従来技術〕

透明基板上に、多結晶シリコン又はアモルファスシリコンの薄膜層によってスイッチング用のTFTマトリクスを形成したアクティブマトリクスパネルの試作が各所で成功を収め、アクティブマトリクスパネルを用いた液晶テレビが量産されて商品化されつつある。前述のスイッチング用TFTマトリクスが形成されているのと同様の透明基板上に、走査線もしくはデータ線のドライバーを形成する試みも成されており、その成果は既に発表されている。(Y. Oano S I D B 4 D I O E S T, P. 312, S. Morosumi, et al S I D B 4 D I O E S T, P. 316)

アクティブマトリクスパネルに内蔵されている従来のドライバー、特にデータ線ドライバーは第

特開2001-48893(2)

1 図のごとく構成されており、データ線 111, 112, ……に各々アナログスイッチ 106, 107, ……が接続され、各々のアナログスイッチの開閉をシフトレジスタ 101, 102, ……の出力信号で制御している。同図において、121 はビデオ信号線、122 は走査線である。データ線ドライバーを上述のごとく構成すると、シフトレジスタが、ビデオ信号のサンプリング周波数と同一の周波数で動作しなければならない、高速性が要求される。ところが、一般に T_{FT} のオン抵抗は高く、単結晶シリコン MOSFET の様な高速動作は望めない。このため、従来のドライバー内蔵アクティブマトリクスパネルによると、T_{FT} の特性によってビデオ信号のサンプリング周波数が制限され高精細化にも限界が生じてしまう。

〔目的〕

本発明の目的は、上述の従来技術の欠点を解決し、高い周波数でビデオ信号のサンプリングを行うことが可能な高表示品質のドライバー内蔵アク

ティブマトリクスパネル、252 乃至 254 は走査線、255, 256, 257 等は図素である。第 2 図は、N 本のデータ線を $\frac{N}{2}$ 段のシフトレジスタとサンプリングパルス生成回路とで駆動する例である。

第 3 図に、本発明の具体的な実施例を示す。本実施例も N 本のデータ線を $\frac{N}{2}$ 段のシフトレジスタで駆動する例である。同図において、301 はシフトレジスタであり、その出力端子は P 型 T_{FT} 302, 303, 304 及び N 型 T_{FT} 305, 307, 309 のゲートに接続され、リセット用のクロック信号線 314, 315, 316 はそれぞれ N 型 T_{FT} 306, 308, 310 のゲートに接続される。T_{FT} 302 乃至 310 によって構成されたサンプリングパルス生成回路の出力端子 317, 318, 319 はそれぞれサンプルホールド用アナログスイッチ 311, 312, 313 の制御端子に接続される。また、320, 321 はそれぞれサンプリングパルス生成回路の正電源、負電源、322 は、ビデオ信号線である。第 4 図は、第 3 図の実施例の作用を説明するための

ティブマトリクスパネルを駆動することにある。

〔概要〕

本発明は、N 本のデータ線を有するアクティブマトリクスパネルを、該アクティブマトリクスパネルに内蔵された $\frac{N}{2}$ 段のシフトレジスタの出力信号と少なくとも 1 個の外部クロック信号とで駆動するような構成としたところにその骨子がある。

〔実施例〕

以下、実施例に基づいて本発明を詳細に説明する。

第 2 図は、本発明の主旨を説明するためのブロック図である。同図において、201 乃至 203 はシフトレジスタ、204 乃至 206 はサンプリングパルス生成回路、207 乃至 209 はリセット用のクロック信号線、210 はビデオ信号線、211 乃至 219 はサンプルホールド用のアナログスイッチであり、以上のブロックによってデータ線ドライバーが構成される。一方、220 乃至 222 は、走査線ドライバーを構成するシフトレジスタである。また、223 乃至 228 はデータ

線である。第 4 図において、401 はシフトレジスタ 301 の駆動クロック、405 はシフトレジスタ 301 の駆動データ、402, 403, 404 はそれぞれ第 3 図 314, 315, 316 により伝送されるリセット用クロック信号、406, 407, 408 はそれぞれ第 3 図の端子 317, 318, 319 に出力されるサンプリングパルスのタイミング図である。まず、シフトレジスタ出力の立下り時点 409 において、P 型 T_{FT} 302 乃至 304 がオンし N 型 T_{FT} 305, 307, 309 がオフすることによりサンプリングパルス 406, 407, 408 はハイレベルにセットされる。次に、410 の時点でシフトレジスタ出力が立下って T_{FT} 302, 303, 304 がオフし、T_{FT} 305, 307, 309 がオンになると、リセット用クロック 402, 403, 404 の立上りでそれぞれ T_{FT} 306, 308, 310 がオンすることによってサンプリングパルス 406, 407, 408 が、410, 411, 412 のタイミングで順次ローレベルにリセ

ットされる。第3図におけるアナログスイッチ311, 312, 313を、サンプリングパルスがハイの時に0とし、ローの時に0にする様に構成することにより、ビデオ信号のサンプルホールドを、410, 411, 412, 413, 414, ……の時点で行なうことが可能となる。以上述べたごとく、本発明によるとN本のデータ線を $\frac{N}{2}$ 段のシフトレジスタで駆動することが出来る。ただし、 $\frac{N}{2}$ は一つのサンプリングパルス生成回路の出力数である。

前述の実施例は、第4図406, 407, 408に示される様にサンプリングパルスのパルス幅が異なっている。 $\frac{N}{2}$ によって構成されたアナログスイッチのオン抵抗が十分に低くない場合には、サンプリングパルスのパルス幅の相違によってアクティブマトリクスパネルに表示ムラが生ずる可能性がある。

サンプリングパルスのパルス幅をすべて等しくする実施例を第5図に示す。該実施例は、第5図に示す実施例において、サンプリングパルス生成

回路310のゲートに印加されているクロック信号402, 403, 404が順次立ち下がることによってサンプリングパルス601, 602, 603はローレベルにリセットされる。シフトレジスタのすべてのビットにおいて同様の動作が行なわれることにより等しいパルス幅のサンプリングパルスによってビデオ信号のサンプルホールドが行なわれる。

(効果)

従来技術の項にて述べたごとく、多結晶シリコン、アモルファスシリコン等で構成されたTFTは単結晶シリコンTFTと比べて特性が劣り、特にON抵抗が高い。このため、薄膜アクティブマトリクスパネルに内蔵されたシフトレジスタは動作速度に限界がある。本発明のごとく、N本のデータ線を、 $\frac{N}{2}$ 段のシフトレジスタと $\frac{N}{2}$ 段のシフトレジスタ1段につき $\frac{N}{2}$ 段ずつのサンプリングパルス生成回路とによって駆動する手段を設けることによってシフトレジスタに要求される動作速度を従来の $\frac{1}{2}$ に下げることが出来る。

特開昭61-48893(3)

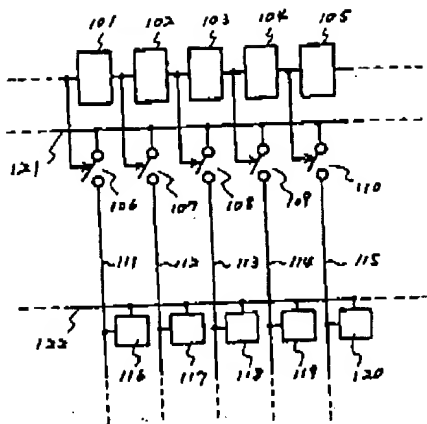
回路にP型トランジスタ501, 502, 503を付加した構造を有する。第5図において、第3図と同一の符号は第3図にて説明したのと同じものを意味する。第6図は、第5図に示した実施例の作用を説明するための図である。同図において、符号401乃至405は第4図における401乃至405と同一のものを意味する。また、601, 602, 603はそれぞれ第5図の端子517, 518, 519におけるサンプリングパルスのタイミング図である。第5図において、シフトレジスタ501の出力端子523にローレベルが出力されている期間において、第6図604, 605, 606の時点で、P型TFT501, 502, 503のゲートに印加されているクロック信号404, 402, 403が順次立ち下がることによりサンプリングパルス601, 602, 603がハイレベルにセットされる。次にシフトレジスタ501の出力端子523がローレベルからハイレベルに立ち上がった後に、第6図607, 608, 609の時点で、N型TFT506, 5

更に、本発明によるとシフトレジスタの段数が従来の $\frac{1}{2}$ で済み、代わりに第3図、第5図に示した様な、1段当たりTFTより4個で構成されるサンプリングパルス生成回路が用いられるため、全体としてドライバーを構成するTFTの個数が減少する。従って、ドライバー部分の占有面積が減り、製造歩留りが向上し、更に、消費電力が低減される。

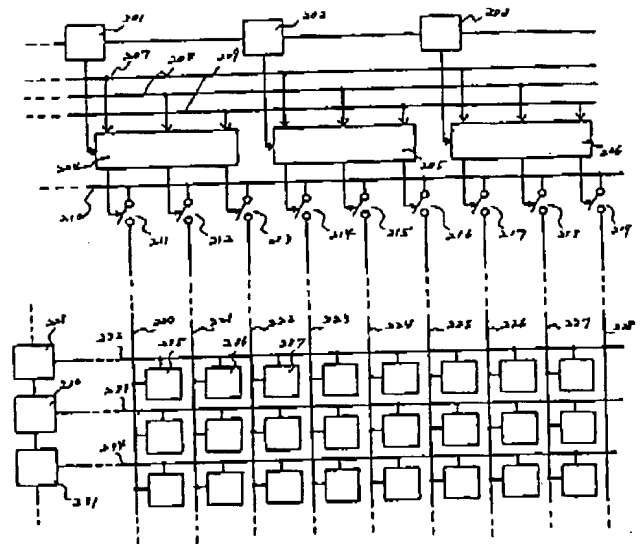
本発明によると、ドライバー内蔵アクティブマトリクスパネルに、以上述べたごとく等しい効果がもたらされる。

4図面の簡単な説明

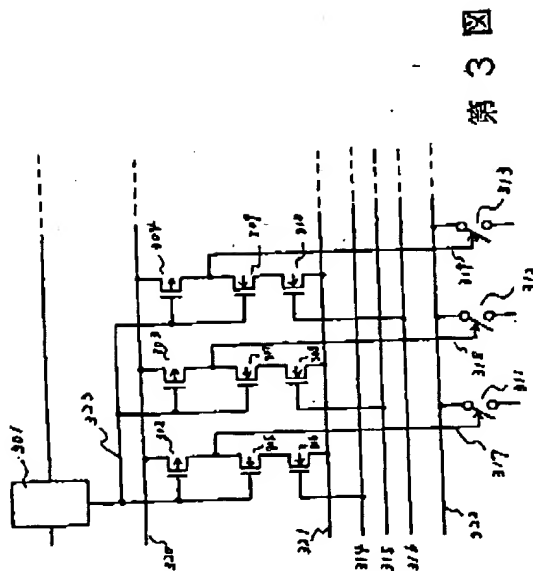
- 第1図は、従来技術を説明するための図。
- 第2図は、本発明の実施例のブロック図。
- 第3図は、本発明の実施例を示す図。
- 第4図は、第3図の作用を説明するための図。
- 第5図は、本発明のもう一つの実施例を示す図。
- 第6図は、第5図の作用を説明するための図。



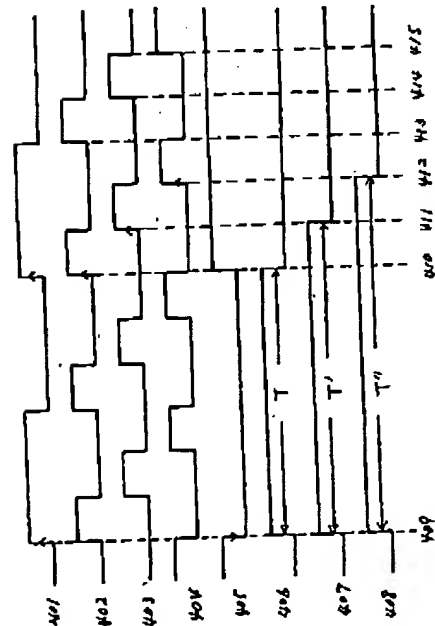
第 1 図



第 2 図

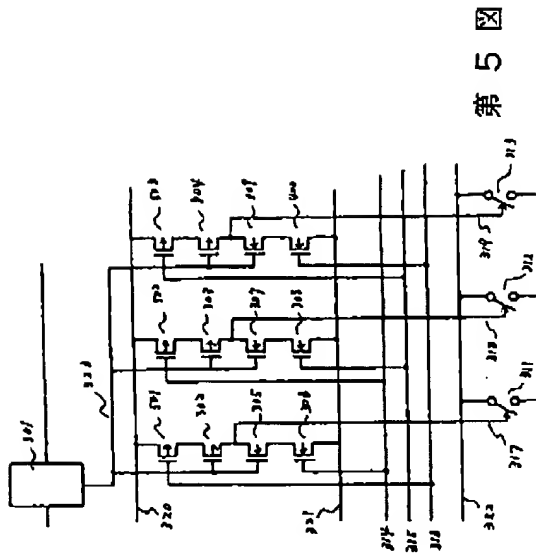


第 3 図

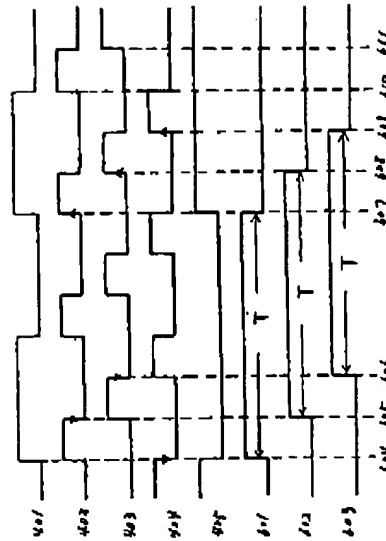


第 4 図

特開特許 61-48833 (5)



第 5 図



第 6 図